

47  
DERWENT-ACC-NO: 1984-210047  
DERWENT-WEEK: 198434  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Mounting semiconductor package on printed-circuit board - involves filling board holes with solder and solder-jointing package pins to those holes  
NoAbstract Dwg 4/6

PATENT-ASSIGNEE: FUJITSU LTD [FUIT]

PRIORITY-DATA: 1982JP-0228682 (December 28, 1982)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 59121993 A 007	July 14, 1984 N/A	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP59121993A	N/A	1982JP-0228682
December 28, 1982		

INT-CL (IPC): H05K003/34

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS:

MOUNT SEMICONDUCTOR PACKAGE PRINT CIRCUIT BOARD FILL BOARD  
HOLE SOLDER SOLDER  
JOINT PACKAGE PIN HOLE NOABSTRACT

DERWENT-CLASS: L03 U11 U14 V04

CPI-CODES: L03-D03; L03-H04E;

⑯ 日本国特許庁 (JP)  
⑰ 公開特許公報 (A)

⑮ 特許出願公開  
昭59-121993

⑯ Int. Cl.<sup>3</sup>  
H 05 K 3/34

識別記号

庁内整理番号  
6810-5F

⑯ 公開 昭和59年(1984)7月14日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体パッケージの実装方法

⑮ 特 願 昭57-228682  
⑯ 出 願 昭57(1982)12月28日

⑰ 発明者 大木登  
川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 発明者 磯田豊

川崎市中原区上小田中1015番地  
富士通株式会社内  
⑯ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑰ 代理人 弁理士 松岡宏四郎

明細書

1 発明の名称

半導体パッケージの実装方法

2 特許請求の範囲

回路素子が作り込まれたチップを内部に封入した半導体パッケージの裏面側に短寸の接続ピンを突出し、一方プリント基板の表面の上記接続ピンと対応する箇所には該接続ピンの外径より大きい孔径を有する有底の接続用ヴィアを設けると共に、この接続用ヴィアの孔内部に半田を充てんして半田ボットとして成り、それぞれの半田ボット内の半田の上面に上記半導体パッケージの各接続ピンを載置した後、この接続ピンと上記半田との接觸部分を加熱することにより、上記半田ボット内の半田を溶かすと共に上記半導体パッケージの自重で各接続ピンを半田ボットの内部に埋め込み、上記プリント基板の接続用ヴィアに半導体パッケージの接続ピンを半田付け固定することを特徴とする半導体パッケージの実装方法。

3 発明の詳細な説明

(1) 発明の技術分野

本発明は、表面実装形の半導体パッケージをプリント基板上の所定位置の接続用ヴィアに半田付けして固定する半導体パッケージの実装方法に関する。

(2) 従来技術と問題点

従来、プリント基板に半導体パッケージを実装するには、例えば第1図に示すように、プリント基板1にその厚さ全部を貫通する接続用ヴィア(Via)2を設け、このヴィア2にプラグイン方式の半導体パッケージ3の裏面側に突出して設けられた接続ピン4を押入し、この信号ピン4を半田5で上記接続用ヴィア2に接続固定していた。

しかしこの場合、上記ヴィア2はプリント基板1の厚さ全部を貫通しているので、同一座標にヴィア2を重ねて設けることはできず、プリント基板1全体のヴィア2の密度を高くすることはできなかつた。また、上記ヴィア2の中間

部には比較的大きなランド7が形成されているので、相隣り合うヴィア2のランド7、7間を走る信号の配線密度をあまり高くすることはできなかつた。

次に、第2図に示すフラットリード方式の半導体パッケージ3'の場合は、該パッケージ3'の接続用リード8、8……をその側面からのみ引き出すので、パッケージの外形寸法に対し引き出せるリード8、8……の本数が限られるものであつた。逆に、近年は内部に封入されるICチップ等が高集積度化されて信号数が多くなつてゐるので、必要以上にパッケージの外形寸法を大きくしなければならなかつた。

また、第3図に示すリードレス方式の半導体パッケージ3"の場合は、プリント基板1と半導体パッケージ3"の材料の熱膨張係数に差があることから、その露開気温度が高くなつたときは該両者の熱膨張によりプリント基板1の表面に形成された接続バッドと半導体パッケージ3"の裏面側に設けられた半田ホール9の接続部に熱

応力がかかり、半田ホール9にクラックが入つて上記接続バッドとの位置ずれを起こすことがあり、プリント基板1と半導体パッケージ3"との接続不良を起こすことがあつた。これに対処するため、上記半導体パッケージ3"の寸法はあまり大形にすることができなかつた。

### (3) 発明の目的

本発明は上記の問題点を解消するためになされたもので、プリント基板の信号の配線密度を高くすることができると共に半導体パッケージとプリント基板の熱膨張の差により該両者の半田付け部の接続不良が生ずることが無い半導体パッケージの実装方法を提供することを目的とする。

### (4) 発明の構成

そして上記の目的は本発明によれば、回路電子が作り込まれたチップを内部に封入した半導体パッケージの裏面側に短寸の接続ピンを突出し、一方プリント基板の表面の上記接続ピンと対応する箇所には該接続ピンの外径より大きい

孔径を有する有底の接続用ヴィアを設けると共に、この接続用ヴィアの孔内部に半田を充てんして半田ボットとして成り、それぞれの半田ボット内の半田の上面に上記半導体パッケージの各接続ピンを載置した後、この接続ピンと上記半田との接触部分を加熱することにより、上記半田ボット内の半田を溶かすと共に上記半導体パッケージの自重で各接続ピンを半田ボットの内部に埋め込み、上記プリント基板の接続用ヴィア1に半導体パッケージの接続ピンを半田付け固定することを特徴とする半導体パッケージの実装方法を提供することによつて達成される。

### (5) 発明の実施例

以下、本発明の実施例を添付図面に基いて詳細に説明する。

第4図は本発明の実装方法が適用される半導体パッケージとプリント基板を示す断面図である。半導体パッケージ11は、トランジスタ、ダイオード、抵抗などの回路電子を作り込んだIC(集積回路)チップ等を内部に封入してお

り、その裏面側には上記ICチップのポンディングバッドと接続された電源用及びグランド用並びに信号用の接続ピン12、12……が突出して設けられている。この接続ピン12、12……は、後述のプリント基板13の接続用ヴィア15と半田付けされるもので、その長さは例えば1~2mm程度の短寸に形成されている。

上記半導体パッケージ11を実装すべきプリント基板13の表面14には、該半導体パッケージ11の接続ピン12、12……の位置に対応して電源用及びグランド用並びに信号用の有底の接続ヴィア15、15……が設けられている。この接続ヴィア15、15……は、プリント基板13の表面層又は内層に形成された配線パターンを介して上記半導体パッケージ11に電源等を供給するもので、その中心部には上記接続ピン12の外径よりも大きい孔径を有すると共に該接続ピン12の長さよりやや深い底16'を有する接続孔16が形成されている。そして、この接続用ヴィア15の接続孔16の内部には、

例えば半田を球状に固めた半田ボール17、17' ……がそれぞれ充てんされており、上記接続孔16は半田ボットの役目を果すようにされている。なお、上記接続用ヴィア15の接続孔16は、プリント基板13の厚さ全部を貫通しているわけではなくいわゆるプラインドヴィアとされているので、中間層に他のプラインドヴィア18を上下に重ねて或いは他の適宜の位置に形成することができる。

このようなプリント基板13に上記半導体パッケージ11を実装する本発明による実装方法は、まず、第5図に示すように、プリント基板13表面のそれぞれの半田ボット、すなわち接続用ヴィア15の接続孔16の内部に充てんされた半田ボール17の上面に、上記半導体パッケージ11の各接続ピン12の下端が当接するようにして載置する。次に、この接続ピン12と上記半田ボール17との接触部分をヒーター又は熱風吹込み等により加熱する。この加熱は、上記接続ピン12と半田ボール17との接触部

特開昭59-121993(3)  
分を局部的に加熱してもよいし、プリント基板13と半導体パッケージ11との間を全面にわたって加熱してもよい。そしてこの加熱により、上記半田ボール17は溶かされる。すると、上記半導体パッケージ11はその自重で下降し、第6図に示すように、それぞれの接続ピン12が半田ボットすなわち接続孔16内の溶融半田17'内に埋め込まれる。この状態になつたら加熱を止めしばらく放置すると、上記溶融半田17'が固化して半導体パッケージ11の各接続ピン12はプリント基板13のそれぞれの接続用ヴィア15に半田付けして固定される。

このようにして実装された状態では、プリント基板13と半導体パッケージ11のまわりの雰囲気温度が上昇して該両者の熱膨張の差により上記接続用ヴィア15と接続ピン12とが位置ずれを起こすとしても、該接続ピン12はそのほとんど全長が接続用ヴィア15の接続孔16内に埋め込まれて半田付けされているので、位置ずれは生じない。

#### (6) 発明の効果

本発明は以上のように構成されたので、半導体パッケージ11とプリント基板13の熱膨張の差により上記半導体パッケージ11の接続ピン12とプリント基板13の接続用ヴィア15との間で位置ずれを起こすことではなく、該プリント基板13と半導体パッケージ11とで接続不良が生ずるのを防止することができる。また、プリント基板13の接続用ヴィア15は有底のプラインドヴィアとされているので、中間層にも他のプラインドヴィアを適宜形成することができ、全体としてプリント基板13の信号の配線密度を高くすることができます。

#### 4 図面の簡単な説明

第1図ないし第3図は従来の半導体パッケージの実装状態を示す断面説明図、第4図は本発明による実装方法が適用される半導体パッケージ及びプリント基板を示す断面図、第5図は半導体パッケージを実装する前の状態を示す断面説明図、第6図は実装後の状態を示す断面説明

図である。

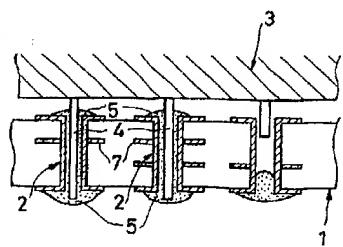
- 1 1 ……半導体パッケージ
- 1 2 ……接続ピン
- 1 3 ……プリント基板
- 1 4 ……プリント基板の表面
- 1 5 ……接続用ヴィア
- 1 6 ……接続孔
- 1 6' ……接続孔の底
- 1 7 ……半田ボール

出願人 富士通株式会社

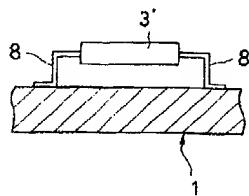
代理人 弁理士 松岡宏四



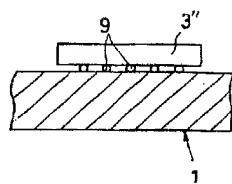
第1図



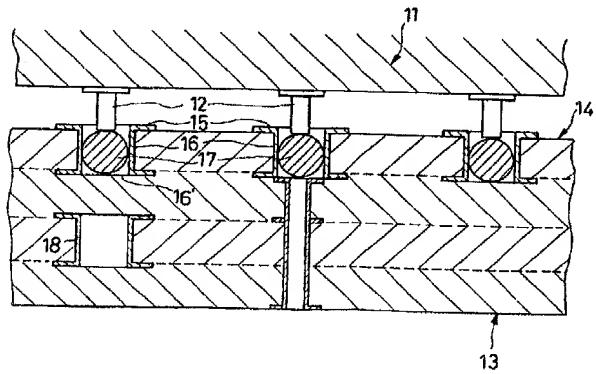
第2図



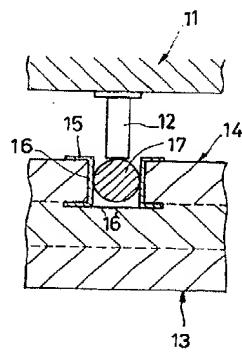
第3図



第4図



第5図



第6図

